



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0072288
Application Number PATENT-2002-0072288

출원년월일 : 2002년 11월 20일
Date of Application NOV 20, 2002

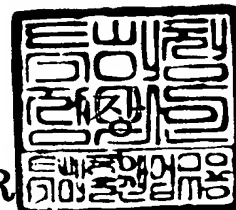
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 01 월 28 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.11.20
【발명의 명칭】	박막 트랜지스터 어레이 기판 및 그 제조 방법
【발명의 영문명칭】	thin film transistor array panel and method for manufacturing the panel
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【명칭】	유미특허법인
【대리인코드】	9-2001-100003-6
【지정된변리사】	김원근 , 박종하
【포괄위임등록번호】	2002-036528-9
【발명자】	
【성명의 국문표기】	탁영미
【성명의 영문표기】	TAK, YOUNG MI
【주민등록번호】	701009-2480715
【우편번호】	151-801
【주소】	서울특별시 관악구 남현동 602-54번지 201호
【국적】	KR
【발명자】	
【성명의 국문표기】	백승수
【성명의 영문표기】	BAEK, SEUNG SOO
【주민등록번호】	750322-1802410
【우편번호】	442-755
【주소】	경기도 수원시 팔달구 원천동 35번지 원천주공아파트 103동 308호
【국적】	KR

【발명자】

【성명의 국문표기】 윤주애
【성명의 영문표기】 YOUN, JOO AE
【주민등록번호】 701223-2631729
【우편번호】 463-070
【주소】 경기도 성남시 분당구 야탑동 매화마을 주공2단지 211동 902호
【국적】 KR

【발명자】

【성명의 국문표기】 김동규
【성명의 영문표기】 KIM, DONG GYU
【주민등록번호】 630901-1162114
【우편번호】 449-846
【주소】 경기도 용인시 수지읍 풍덕천리 1167번지 523동 1305호
【국적】 KR

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대
 리인 유미특허법
 인 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	26 면	26,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	0 항	0 원
【합계】	55,000 원	

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

기판 위에 게이트선 및 제1 게이트 전극부와 제2 게이트 전극부를 포함하는 게이트 전극을 포함하는 게이트 배선을 형성하고, 그 상부에 게이트 절연막을 형성한다. 이어, 게이트 절연막 상부에 비정질 규소로 제1 반도체부와 제2 반도체부를 포함하는 반도체층을 형성하고, 데이터선, 제1 소스 전극부와 제2 소스 전극부를 포함하는 소스 전극 및 제1 드레인 전극부와 제2 드레인 전극부를 포함하는 드레인 전극을 포함하는 데이터 배선을 형성하고, 드레인 전극과 연결되는 화소 전극을 형성한다. 이때, 게이트 배선, 데이터 배선 또는 반도체층은 분할 노광을 이용한 사진 식각 공정으로 형성하며, 분할 노광은 분할 노광 영역의 경계선이 제1 게이트 전극부와 제2 게이트 전극부 사이, 또는 제1 반도체부와 제2 반도체부 사이, 또는 제1 소스 전극과 제2 소스 전극 사이, 또는 제1 드레인 전극과 제2 드레인 전극 사이에 위치하도록 실시한다.

【대표도】

도 7

【색인어】

분할노광, 스티치, 마스크, 사진식각공정

【명세서】

【발명의 명칭】

박막 트랜지스터 어레이 기판 및 그 제조 방법{thin film transistor array panel and method for manufacturing the panel}

【도면의 간단한 설명】

도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 구조를 도시한 배치도이고,

도 2는 도 1에서 II-II' 선을 따라 잘라 도시한 단면도이고,

도 3a, 4a, 5a 및 6a는 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판을 제조하는 중간 과정에서의 박막 트랜지스터 기판의 배치도이고,

도 3b는 도 3a에서 IIIb-IIIb' 선을 따라 절단한 단면도이고,

도 4b는 도 4a에서 IVb-IVb' 선을 따라 잘라 도시한 도면으로서 도 3b의 다음 단계를 도시한 단면도이고,

도 5b는 도 5a에서 Vb-Vb' 선을 따라 잘라 도시한 도면으로서 도 4b의 다음 단계를 도시한 단면도이고,

도 6b는 도 6a에서 VIb-VIb' 선을 따라 잘라 도시한 도면으로서 도 5b의 다음 단계를 도시한 단면도이고,

도 7은 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 어레이 기판의 배치도이고,

도 8 및 도 9는 도 7에 도시한 박막 트랜지스터 어레이 기판을 VIII-VIII' 선 및 IX-IX' 선을 따라 잘라 도시한 단면도이고,

도 10a는 본 발명의 제2 실시예에 따라 제조하는 첫 단계에서의 박막 트랜지스터 어레이 기판의 배치도이고,

도 10b 및 10c는 각각 도 10a에서 Xb-Xb' 선 및 Xc-Xc' 선을 따라 잘라 도시한 단면도이며,

도 11a 및 11b는 각각 도 10a에서 Xb-Xb' 선 및 Xc-Xc' 선을 따라 잘라 도시한 단면도로서, 도 10b 및 도 10c 다음 단계에서의 단면도이고,

도 12a는 도 11a 및 11b 다음 단계에서의 박막 트랜지스터 어레이 기판의 배치도이고,

도 12b 및 12c는 각각 도 12a에서 XIIb-XIIb' 선 및 XIIc-XIIc' 선을 따라 잘라 도시한 단면도이며,

도 13a, 14a, 15a와 도 13b, 14b, 15b는 각각 도 12a에서 XIIb-XIIb' 선 및 XIIc-XIIc' 선을 따라 잘라 도시한 단면도로서 도 12b 및 12c 다음 단계들을 공정 순서에 따라 도시한 것이고,

도 16a는 도 15a 및 도 15b의 다음 단계에서의 박막 트랜지스터 어레이 기판의 배치도이고,

도 16b 및 16c는 각각 도 16a에서 XVIb-XVIb' 선 및 XVIc-XVIc' 선을 따라 잘라 도시한 단면도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <18> 본 발명은 박막 트랜지스터 어레이 기판 및 그의 제조 방법에 관한 것으로 더욱 상세하게는 액정 표시 장치의 한 기판으로 사용되는 박막 트랜지스터 어레이 기판 및 그의 제조 방법에 관한 것이다.
- <19> 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 전극이 형성되어 있는 두 장의 기판과 그 사이에 삽입되어 있는 액정층으로 이루어져, 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하는 표시 장치이다.
- <20> 액정 표시 장치 중에서도 현재 주로 사용되는 것은 두 기판에 전극이 각각 형성되어 있고 전극에 인가되는 전압을 스위칭하는 박막 트랜지스터를 가지고 있는 액정 표시 장치이며, 박막 트랜지스터는 두 기판 중 하나에 형성되는 것이 일반적이다.
- <21> 이때, 액정 표시 장치가 대형화됨에 따라 화소의 크기가 커지기 때문에 해상도가 저하되는데, 이를 방지하기 위해서는 각각의 화소를 제어하는 박막 트랜지스터가 높은 전류 구동 능력을 가져야 하며, 이를 위해서는 박막 트랜지스터의 채널 폭을 넓게 확보하는 것이 바람직하다.
- <22> 한편, 박막 트랜지스터를 가지는 어레이 기판은 마스크를 이용한 사진 식각 공정을 통하여 제조하는데, 마스크 크기보다 박막 트랜지스터 어레이 기판의 액티브 영역(active area)이 큰 경우에 이 액티브 영역에 패터를 형성하기 위해서는 액티브 영역을

분할하여 스텝 앤 리피트(step and repeat) 공정을 수행하는 분할 노광이 필요하다. 하지만, 실제로 분할 노광에서 마스크의 전이(shift), 회전(rotation), 비틀림(distortion) 등의 오차가 발생하기 때문에 서로 다른 층에 위치하는 배선과 화소 전극 사이에 발생하는 기생 용량의 차이가 생기게 된다. 결국 분할 노광 영역간에 표시 특성이 다르게 나타나는데, 특히 분할 노광 영역의 경계 부분에서 화면 밝기의 차이가 심한 경우에는 스티치 현상으로 나타나게 된다.

【발명이 이루고자 하는 기술적 과제】

- <23> 본 발명이 이루고자 하는 기술적 과제는 넓은 채널 폭을 가지는 박막 트랜지스터를 가지는 박막 트랜지스터 어레이 기판을 제공하는 것이다.
- <24> 또한, 본 발명의 다른 기술적 과제는 스티치 현상을 최소화할 수 있는 박막 트랜지스터 어레이 기판의 제조 방법을 제공하기 위한 것이다.

【발명의 구성 및 작용】

- <25> 본 발명에 따른 박막 트랜지스터 어레이 기판에는 각각의 화소에 배치되어 있는 화소 전극에는 두 개의 박막 트랜지스터가 연결되어 있으며, 제조 공정시에는 두 개의 박막 트랜지스터 사이에 분할 노광 영역의 경계선이 위치하도록 분할 노광을 실시하는 사진 식각 공정으로 패턴을 형성한다.
- <26> 더욱 상세하게는, 본 발명에 따른 박막 트랜지스터 어레이 기판에는, 절연 기판 위에 게이트선, 게이트선과 연결되어 있으며 제1 게이트 전극부 및 제2 게이트 전극부를 가지는 게이트 전극을 포함하는 게이트 배선이 형성되어 있고, 그 상부에는 게이트 절연막이 형성되어 있다. 게이트 절연막 상부에는 제1 게이트 전극부 위에 위치하는 제1 반

도체부와 제2 게이트 전극부 위에 위치하는 제2 반도체부를 가지는 반도체층이 형성되어 있으며, 게이트선과 교차하는 데이터선, 데이터선에 연결되어 있으며 제1 반도체부에 인접한 제1 소스 전극부와 제2 반도체부에 인접한 제2 소스 전극부를 포함하는 소스 전극, 제1 게이트 전극부를 중심으로 제1 소스 전극부와 마주하며 제1 반도체부에 인접한 제1 드레인 전극부와 제2 게이트 전극부를 중심으로 제2 드레인 전극부와 마주하며 제2 반도체부에 인접한 제2 드레인 전극부를 포함하는 드레인 전극을 포함하는 데이터 배선이 형성되어 있다. 또한, 드레인 전극과 연결되어 있는 화소 전극이 형성되어 있다.

<27> 제1 게이트 전극부, 제1 반도체부, 제1 소스 전극부 및 제1 드레인 전극부와 제2 게이트 전극부, 제2 반도체부, 제2 소스 전극부 및 제2 드레인 전극부는 각각 분할 노광 영역의 경계선을 중심으로 양쪽에 배치되어 있다.

<28> 이때, 게이트 전극, 드레인 전극, 소스 전극 및 반도체층을 포함하는 박막 트랜지스터는 분할 노광 영역의 경계선에 인접한 일부의 화소에만 배치되어 있을 수 있으며, 제1 및 제2 소스 전극과 제1 및 제2 드레인 전극 사이에 각각 위치하는 제1 및 제2 반도체부의 채널부는 C자 모양을 가지는 것이 바람직하다.

<29> 이러한 본 발명에 따른 박막 트랜지스터 어레이 기판의 제조 방법에서는, 우선 기판 위에 게이트선 및 제1 게이트 전극부와 제2 게이트 전극부를 포함하는 게이트 전극을 포함하는 게이트 배선을 형성하고, 그 상부에 게이트 절연막을 형성한다. 이어, 게이트 절연막 상부에 비정질 규소로 제1 반도체부와 제2 반도체부를 포함하는 반도체층을 형성하고, 데이터선, 제1 소스 전극부와 제2 소스 전극부를 포함하는 소스 전극 및 제1 드레인 전극부와 제2 드레인 전극부를 포함하는 드레인

전극을 포함하는 데이터 배선을 형성하고, 드레인 전극과 연결되는 화소 전극을 형성한다. 이때, 게이트 배선, 데이터 배선 또는 반도체층은 분할 노광을 이용한 사진 식각 공정으로 형성하며, 분할 노광은 분할 노광 영역의 경계선이 제1 게이트 전극부와 제2 게이트 전극부 사이, 또는 제1 반도체부와 제2 반도체부 사이, 또는 제1 소스 전극과 제2 소스 전극 사이, 또는 제1 드레인 전극과 제2 드레인 전극 사이에 위치하도록 실시한다.

<30> 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

<31> 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

<32> 이제 본 발명의 실시예에 따른 박막 트랜지스터 어레이 기판 및 그의 제조 방법에 대하여 도면을 참고로 하여 상세하게 설명한다.

<33> 먼저, 도 1 및 도 2를 참고로 하여 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 어레이 기판의 구조에 대하여 상세히 설명한다.

- <34> 도 1은 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고, 도 2는 도 1에 도시한 박막 트랜지스터 어레이 기판을 II-II' 선을 따라 잘라 도시한 단면도이다.
- <35> 절연 기판(110) 위에 알루미늄(Al) 또는 알루미늄 합금으로 이루어진 하부막(201)과 몰리브덴 또는 크롬 등과 다른 물질과 접촉 특성이 우수한 상부막(202)을 포함하는 게이트 배선이 20-80° 범위의 테이퍼 각을 가지는 테이퍼 구조로 형성되어 있다. 게이트 배선은 가로 방향으로 뻗어 있는 게이트선(121), 게이트선(121)의 한쪽에 연결되어 있어 외부로부터의 게이트 신호를 인가받아 게이트선으로 전달하는 게이트 패드(125) 및 게이트선(121)에 연결되어 있는 박막 트랜지스터의 게이트 전극(123)을 포함한다. 이때, 게이트 전극(123)은 제1 박막 트랜지스터(TFT1)의 제1 게이트 전극부(1231)와 제2 박막 트랜지스터(TFT2)의 제2 게이트 전극부(1232)를 포함한다. 또한, 게이트선(121)은 이후에 형성되는 화소 전극(190)과 연결되어 있는 유지 축전기용 도전체 패턴(177)과 중첩되어 화소의 전하 보존 능력을 향상시키는 유지 축전기를 이룬다. 이때, 전하 보존 능력이 부족한 경우에 게이트 배선과 분리된 유지 배선을 추가할 수도 있다.
- <36> 기판(110) 위에는 질화 규소(SiN_x) 따위로 이루어진 게이트 절연막(140)이 게이트 배선(121, 125, 123)을 덮고 있다.
- <37> 게이트 전극(125)의 게이트 절연막(140) 상부에는 비정질 규소 등의 반도체로 이루어진 반도체층(150)이 형성되어 있으며, 반도체층(150)의 상부에는 실리사이드 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 저항 접촉층(163, 165)이 각각 형성되어 있다. 반도체층(150)은 제1 게이트 전극부(1231) 상부에 위치하는 제1 반도체부(1501)와 제2 게이트 전극부(1232) 상부에 위치하는 제2 반

도체부(1502)를 포함하며, 저항 접촉층(163, 165) 또한 제1 반도체부(1501) 상부에 위치하는 제1 저항 접촉부(1631, 1651)와 제2 반도체부(1502) 상부에 위치하는 제2 저항 접촉부(1632, 1652)를 포함한다.

<38> 저항 접촉층(163, 165) 또는 게이트 절연막(140) 위에는 알루미늄 또는 알루미늄 합금의 도전막, 또는 크롬 또는 몰리브덴 또는 몰리브덴 합금으로 이루어진 도전막을 포함하는 데이터 배선이 형성되어 있다. 데이터 배선은 세로 방향으로 형성되어 게이트선(121)과 교차하여 화소 영역을 정의하는 데이터선(171), 데이터선(171)에 연결되어 저항 접촉층(163)의 상부까지 연장되어 있는 소스 전극(173), 데이터선(171)의 한 쪽에 연결되어 있으며 외부로부터의 화상 신호를 인가받는 데이터 패드(179), 소스 전극(173)과 분리되어 있으며 게이트 전극(123)에 대하여 소스 전극(173)의 반대쪽 저항 접촉층(165) 상부에 형성되어 있는 드레인 전극(175)을 포함한다. 또한, 데이터 배선은 유지 용량을 향상시키기 위해 게이트선(121)과 중첩되어 있으며, 이후에 형성되는 화소 전극(190)과 전기적으로 연결되어 있는 유지 축전기용 도전체 패턴(177)을 포함할 수 있다. 이때, 소스 전극(173)은 제1 및 제2 저항 접촉부(1631, 1632) 상부에 각각 위치하는 제1 및 제2 소스 전극부(1731, 1732)를 포함하고, 드레인 전극(175)은 제1 및 제2 저항 접촉부(1651, 1652) 상부에 각각 위치하는 제1 및 제2 드레인 전극부(1751, 1752)를 포함한다.

<39> 이때, 데이터 배선(171, 173, 175, 177, 179) 및 게이트 배선(121, 123, 125)과 동일하게 알루미늄을 포함하는 단일막일 수 있으며, 크롬 또는 몰리브덴 또는 몰리브덴 합금의 단일막일 수 있으며, 몰리브덴 또는 몰리브덴 합금의 도전막/알루미늄의 도전막/몰리브덴 또는 몰리브덴 합금의 도전막의 3층막으로 이루어질 수도 있다.

<40> 데이터 배선(171, 173, 175, 177, 179) 및 이들이 가리지 않는 반도체층(150) 상부에는 평탄화 특성이 우수하며 감광성을 가지는 유기 물질 또는 a-Si:C:O:H 등을 포함하는 저유전율 절연 물질의 보호막(180)이 형성되어 있다. 여기서, 보호막(180)은 질화 규소로 이루어진 절연막을 더 포함할 수 있으며, 이러한 경우에 절연막은 유기 절연막의 하부에 위치하여 반도체층(150)을 직접 덮는 것이 바람직하다. 또한, 게이트 패드(125) 및 데이터 패드(179)가 위치하는 패드부에서 유기 절연 물질은 완전히 제거하는 것이 바람직한데, 이러한 구조는 패드부에 게이트 패드(125) 및 데이터 패드(179)의 상부에 주사 신호 및 영상 신호를 각각 전달하기 위해 박막 트랜지스터 기판의 상부에 게이트 구동 집적 회로 및 데이터 구동 집적 회로를 직접 실장하는 COG(chip on glass) 방식의 액정 표시 장치에 적용할 때 특히 유리하다.

<41> 보호막(180)에는 드레인 전극(175), 유지 축전기용 도전체 패턴(177) 및 데이터 패드(179)를 각각 드러내는 접촉 구멍(185, 187, 189)이 형성되어 있으며, 게이트 절연막(140)과 함께 게이트 패드(125)를 드러내는 접촉 구멍(182)이 형성되어 있다.

<42> 보호막(180) 상부에는 접촉 구멍(185)을 통하여 드레인 전극(175)과 전기적으로 연결되어 있고 화소 영역에 위치하며, 투명한 도전 물질인 ITO(indium tin oxide) 또는 IZO(indium zinc oxide)로 이루어진 화소 전극(190)이 형성되어 있다. 또한, 보호막(180) 위에는 접촉 구멍(182, 189)을 통하여 각각 게이트 패드(125) 및 데이터 패드(179)와 연결되어 있는 보조 게이트 패드(92) 및 보조 데이터 패드(97)가 형성되어 있다. 여기서, 보조 게이트 및 데이터 패드(92, 97)는 게이트 및 데이터 패드(125, 179)를 보호하기 위한 것이며, 필수적인 것은 아니다.

- <43> 이러한 박막 트랜지스터 기판을 사용하는 액정 표시 장치는 다음과 같은 구조를 가진다.
- <44> 이러한 박막 트랜지스터 기판에 대향하여 공통 전극 기판이 소정의 간격을 두고 배치되어 있고, 박막 트랜지스터 기판과 공통 전극 기판 사이에는 액정 물질이 주입되어 있다. 이 때, 액정 물질은 TN 모드 액정으로 기판에 거의 평행하게 배열되어 있는 액정 분자가 하부 기판에서 상부 기판에 이르기까지 비틀림 배향되어 있을 수 있으며, VA(vertical aligned) 모드 액정으로 음의 유전율 이방성을 가지며 기판에 거의 수직하게 배향되어 있는 액정 분자가 전압이 충분히 인가되는 경우에 두 기판의 중심면에 이르기까지 기판에 거의 수직하게 배열할 수 있다. 또, 공통 전극 기판에는 박막 트랜지스터 기판의 화소 전극과의 사이에서 액정 용량을 형성하는 공통 전극이 형성되어 있다. 이외에도 공통 전극 기판 위에는 WV 필름 등의 보상 필름이 부착될 수 있으며, 두 편광판이 박막 트랜지스터 기판과 공통 전극 기판 바깥쪽으로 배치되어 있다.
- <45> 이러한 본 발명의 제1 실시예에 따른 액정 표시 장치에서 각각의 단위 화소에 형성되어 있는 화소 전극(190)은 동일한 게이트선(121) 및 데이터선(171)과 전기적으로 연결되어 있는 두 개의 박막 트랜지스터(TFT1, TFT2)에 의해 구동된다. 또한, 각각의 박막 트랜지스터(TFT1, TFT2)는 소스 전극과 드레인 전극 사이에 위치하는 반도체층의 채널부가 말굽 모양(C)을 취하고 있어 채널부의 폭이 넓다. 따라서, 본 발명의 실시예에서는 박막 트랜지스터의 채널 폭을 넓게 확보할 수 있어, 박막 트랜지스터는 화소를 제어하는 전류 구동 능력을 충분히 가질 수 있으며, 이를 통하여 대형의 액정 표시 장치를 구동할 때 화소의 해상도가 저하되는 것을 방지할 수 있다.

<46> 이때, 제1 실시예에서와 같이 제1 및 제2 박막 트랜지스터(TFT1, TFT2)를 가지는 화소는 화상이 표시되는 표시 영역에 전면적으로 배치될 수도 있으며, 일부에만 배치될 수도 있다. 일부에만 제1 및 제2 박막 트랜지스터(TFT1, TFT2)를 가지는 화소를 배치하는 경우에 이러한 화소는 표시 영역 중에서 분할 노광의 경계선이 위치하는 화소와 그 주변에 위치하는 화소를 구성하는 것이 바람직하다. 왜냐하면, 마스크를 이용한 사진 식각 공정에서 분할 노광시 마스크의 전이(shift), 회전(rotation), 비틀림(distortion) 등의 오차가 발생하더라도 제1 및 제2 박막 트랜지스터(TFT1, TFT2)를 가지는 화소에서 다른 화소와 비교하여 발생하는 기생 용량의 변화가 급격하지 않아 화상이 표시될 때 밝기의 차이가 심하게 나타나지 않아 스티치 현상을 최소화할 수 있다.

<47> 그러면, 도 3a 내지 도 6b 및 도 1 및 도 2를 참조하여 본 발명의 실시예에 따른 박막 트랜지스터 어레이 기판의 제조 방법에 대하여 구체적으로 설명하기로 한다.

<48> 먼저, 도 3a 및 도 3b에 도시한 바와 같이, 유리 기판(110) 상부에 알루미늄을 포함하는 하부막(201)과 몰리브덴 또는 몰리브덴 합금을 포함하는 상부막(202)을 각각 2000Å~4000Å 및 500Å ~ 2000Å 정도의 두께로 차례로 적층하고, 마스크를 이용한 사진 식각 공정으로 상부막(202)과 하부막(201)을 함께 패터닝하여 게이트선(121), 게이트 전극(123) 및 게이트 패드(125)를 포함하는 게이트 배선을 테이퍼 구조로 형성한다. 여기서, 마스크를 이용한 사진 식각 공정에서 마스크의 크기보다 박막 트랜지스터 어레이 기판의 화소 영역이 배치되어 있는 액티브 영역이 큰 경우에 액티브 영역을 분할하여 스텝 앤 리피트(step and repeat) 방식으로 감광막을 분할 노광하고 현상하여 게이트 배선용 감광막 패턴을 형성하고 이를 식각 마스크로 사용하여 게이트 배선(121, 123, 125)을 패터닝한다. 이때, 게이트 배선용 감광막 패턴을 노광할 때, 분할 노광 영역의

경계선은 제1 게이트 전극부(1231)와 제2 게이트 전극부(1232) 사이를 가로지르도록 하여 수평 방향이 되도록 마스크를 정렬한 다음 노광 공정을 진행한다.

<49> 다음, 도 4a 및 도 4b에 도시한 바와 같이, 질화 규소(SiN_x)로 이루어진 게이트 절연막(140), 비정질 규소(a-Si:H)로 이루어진 반도체층(150), 도핑된 비정질 규소층($\text{n}^+ \text{a-Si:H}$, 160)의 삼층막을 연속하여 적층하고 마스크를 이용한 패터닝 공정으로 반도체층(150)과 도핑된 비정질 규소층(160)을 패터닝하여 게이트 전극(125)과 마주하는 게이트 절연막(140) 상부에 반도체층(150)과 저항 접촉층(160)을 형성한다. 이때에도, 앞에서와 마찬가지로 분할 노광 영역의 경계선은 제1 반도체부(1501)와 제2 반도체부(1502) 사이에 위치하도록 마스크를 정렬한 다음 분할 노광 공정을 실시한다.

<50> 다음, 도 5a 내지 도 5b에 도시한 바와 같이, 크롬 또는 몰리브덴 또는 몰리브덴 합금의 도전막을 2,000 Å 정도의 두께로 적층하고 마스크를 이용한 사진 식각 공정으로 패터닝하여 게이트선(121)과 교차하는 데이터선(171), 데이터선(171)과 연결되어 게이트 전극(123) 상부까지 연장되어 있는 소스 전극(173), 데이터선(171)은 한쪽 끝에 연결되어 있는 데이터 패드(179), 소스 전극(173)과 분리되어 있으며 게이트 전극(123)을 중심으로 소스 전극(173)과 마주하는 드레인 전극(175) 및 유지 축전기용 도전체 패턴(177)을 포함하는 데이터 배선을 테이퍼 구조로 형성한다. 이때에도 마찬가지로 마스크를 이용한 사진 식각 공정시 분할 노광의 경계선은 제1 소스 전극부(1731) 및 제1 드레인 전극부(1751)와 제2 소스 전극부(1732) 및 제2 드레인 전극부(1752) 사이에 위치하도록 마스크를 정렬한 다음 감광막을 노광하여 데이터 배선용 감광막 패턴을 형성하고 이후의 식각 공정을 진행한다.

- <51> 이때, 데이터 배선(171, 173, 175, 177, 179)은 알루미늄을 포함하는 단일막 또는 이를 포함하는 다층막으로 형성할 수 있으며, 다층막으로 형성하는 경우에 알루미늄의 도전막이 중앙에 위치하며 그 상부 및 하부에 몰리브덴 또는 몰리브덴 합금의 도전막을 형성할 수도 있다.
- <52> 이어, 데이터 배선(171, 173, 175, 177, 179)으로 가리지 않는 도핑된 비정질 규소층 패턴(160)을 식각하여 게이트 전극(123)을 중심으로 양쪽으로 분리시키는 한편, 양쪽의 도핑된 비정질 규소층(163, 165) 사이의 반도체층 패턴(150)을 노출시킨다. 이어, 노출된 반도체층(150)의 표면을 안정화시키기 위하여 산소 플라즈마를 실시하는 것이 바람직하다.
- <53> 다음으로, 도 6a 및 6b에서 보는 바와 같이, 질화 규소를 적층하거나 또는 평탄화 특성이 우수하며 감광성을 가지는 유기 물질을 기판(110)의 상부에 코팅(coating)하거나 PECVD(plasma enhanced chemical vapor deposition) 방법으로 a-Si:C:O 막 또는 a-Si:O:F 막 등의 저유전율 CVD막을 증착하여 보호막(180)을 형성한다. 이어, 마스크를 이용한 사진 식각 공정으로 게이트 절연막(140)과 함께 패터닝하여, 게이트 패드(125), 드레인 전극(175), 데이터 패드(179) 및 유지 축전기용 도전체 패턴(177)을 드러내는 접촉 구멍(182, 185, 189, 187)을 형성한다. 이때, 접촉 구멍(182, 185, 189, 187)을 통하여 드러난 부분에서 알루미늄의 도전막이 드러나는 경우에는 이후에 형성되는 ITO 또는 IZO의 화소 전극(190)과의 접촉 특성을 고려하여 알루미늄의 도전막을 제거하는 것이 바람직하다
- <54> 다음, 도 1 및 도 2에서 보는 바와 같이, ITO 또는 IZO의 투명 도전 물질을 900Å 정도의 두께로 증착하고 마스크를 이용한 사진 식각 공정으로 패터닝하여 접촉 구멍

(187, 185)을 통하여 드레인 전극(175) 및 유지 축전기용 도전체 패턴(177)과 연결되는 화소 전극(190)과 접촉 구멍(182, 189)을 통하여 게이트 패드(125) 및 데이터 패드(179)와 각각 연결되는 보조 게이트 패드(92) 및 보조 데이터 패드(97)를 각각 형성한다. 이때에도 마찬가지로 마스크를 이용한 사진 식각 공정시 분할 노광의 경계선은 제1 소스 전극부(1731) 및 제1 드레인 전극부(1751)와 제2 소스 전극부(1732) 및 제2 드레인 전극부(1752) 사이에 위치하도록 마스크를 정렬한 다음 감광막을 노광하여 화소 전극용 감광막 패턴을 형성하고 이후의 식각 공정을 진행한다.

<55> 이러한 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 어레이 기판의 제조 방법에서는 게이트 배선, 반도체층, 데이터 배선 또는 화소 전극을 형성할 때, 적어도 하나의 식각 공정에서는 분할 노광시 분할 노광의 경계선이 제1 및 제2 박막 트랜지스터(TFT1, TFT2, 도 1 참조)의 사이에 위치하도록 마스크를 정렬한 다음 불할 노광을 실시한다. 이렇게 하면, 마스크의 전이(shift), 회전(rotation), 비틀림(distortion) 등의 오차가 발생하더라도 배선과 배선 또는 배선과 화소 전극의 중첩으로 인하여 발생하는 기생 용량의 변화가 급격하지 않아 화상이 표시될 때 밝기의 차이가 심하게 발생하지 않아 스티치 현상을 최소화할 수 있다.

<56> 또한, 앞에서는 반도체층과 데이터 배선을 서로 다른 마스크를 이용한 사진 식각 공정으로 형성하는 제조 방법에 본 발명의 실시예를 적용하여 설명하였지만, 본 발명에 따른 배선의 제조 방법은 제조 비용을 최소화하기 위하여 반도체층과 데이터 배선을 하나의 감광막 패턴을 이용한 사진 식각 공정으로 형성하는 액정 표시 장치용 박막 트랜지스터 어레이 기판의 제조 방법에서도 동일하게 적용할 수 있다. 이에 대하여 도면을 참조하여 상세하게 설명하기로 한다.

- <57> 먼저, 도 7 내지 도 9를 참고로 하여 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 단위 화소 구조에 대하여 상세히 설명한다.
- <58> 도 7은 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고, 도 8 및 도 9는 각각 도 7에 도시한 박막 트랜지스터 기판을 VIII-VIII' 선 및 IX-IX' 선을 따라 잘라 도시한 단면도이다.
- <59> 먼저, 절연 기판(110) 위에 알루미늄만으로 이루어진 도전막을 포함하며 게이트선(121), 게이트 패드(125) 및 게이트 전극(123)을 포함하는 게이트 배선이 테이퍼 구조로 형성되어 있다. 그리고, 기판(110) 상부에는 게이트선(121)과 평행하며 상판의 공통 전극에 입력되는 공통 전극 전압 또는 이웃하는 화소 행에 게이트 신호를 전달하는 전단의 게이트선(121)에 인가되는 게이트 전압 따위의 전압을 인가받는 유지 전극선(131)이 형성되어 있다. 유지 전극선(131)은 후술할 화소 전극(190)과 연결된 드레인 전극(175)과 중첩되어 화소의 전하 보존 능력을 향상시키는 유지 축전기를 이루며, 후술할 화소 전극(190)과 게이트선(121)의 중첩으로 발생하는 유지 용량이 충분할 경우 형성하지 않을 수도 있다. 이때, 게이트 전극(123)은 가로 방향으로 배치되어 있으며, 제1 및 제2 박막 트랜지스터(TFT1, TFT2)의 제1 및 제2 게이트 전극부(1231, 1232)를 포함한다.
- <60> 게이트 배선(121, 125, 123) 및 유지 전극선(131) 위에는 질화 규소(SiN_x) 따위로 이루어진 게이트 절연막(140)이 형성되어 게이트 배선(121, 125, 123)과 유지 배선(131, 133)을 덮고 있다.
- <61> 게이트 절연막(140) 위에는 다결정 규소 또는 비정질 규소 등으로 이루어진 반도체 패턴(152)이 형성되어 있으며, 반도체 패턴(152) 위에는 인(P) 따위의 n형 또는 p형 불순물로 고농도로 도핑되어 있는 비정질 규소 따위로 이루어진 저항성 접촉층(ohmic

contact layer) 패턴 또는 중간층 패턴(163, 165)이 형성되어 있다. 이때에도 제1 실시예와 동일하게, 반도체 패턴(152)은 제1 반도체부(1521)와 제2 반도체부(1522)를 포함하고, 저항성 접촉층(163, 165)도 제1 저항성 접촉부(1631, 1651) 및 제2 저항성 접촉부(1632, 1652)를 포함한다.

<62> 저항성 접촉층 패턴(163, 165) 위에는 몰리브덴 또는 몰리브덴 합금으로 이루어진 도전막 또는 알루미늄만으로 이루어진 도전막을 포함하는 데이터 배선이 테이퍼 구조로 형성되어 있다. 데이터 배선은 세로 방향으로 형성되어 있는 데이터선(171), 데이터선(171)의 한쪽 끝에 연결되어 외부로부터의 화상 신호를 인가받는 데이터 패드(179), 그리고 데이터선(171)의 분지인 박막 트랜지스터의 소스 전극(173)으로 이루어진 데이터선부를 포함하며, 또한 데이터선부(171, 179, 173)와 분리되어 있으며 게이트 전극(123) 또는 박막 트랜지스터의 채널부(C)에 대하여 소스 전극(173)의 반대쪽에 위치하며 유지 전극선과 중첩하는 박막 트랜지스터의 드레인 전극(175)을 포함한다. 이때, 소스 전극(173)은 제1 및 제2 저항 접촉부(1631, 1632) 상부에 각각 위치하는 제1 및 제2 소스 전극부(1731, 1732)를 포함하고, 드레인 전극(175)은 제1 및 제2 저항 접촉부(1651, 1652) 상부에 각각 위치하는 제1 및 제2 드레인 전극부(1751, 1752)를 포함한다.

<63> 데이터 배선(171, 173, 175, 179)은 은 또는 은 합금 또는 알루미늄 또는 알루미늄 합금의 도전막을 포함할 수 있다.

<64> 접촉층 패턴(163, 165)은 그 하부의 반도체 패턴(152)과 그 상부의 데이터 배선(171, 173, 175, 179)의 접촉 저항을 낮추어 주는 역할을 하며, 데이터 배선(171, 173, 175, 179)과 완전히 동일한 형태를 가진다. 즉, 데이터선부 중간층 패턴(163)은 데이터

선부(171, 179, 173)와 동일하고, 드레인 전극용 중간층 패턴(163)은 드레인 전극(173)과 동일하다.

<65> 한편, 반도체 패턴(152)은 박막 트랜지스터의 채널부(C)를 제외하면 데이터 배선(171, 173, 175, 179) 및 저항성 접촉층 패턴(163, 165)과 동일한 모양을 하고 있다. 구체적으로는, 박막 트랜지스터용 반도체 패턴(152)은 데이터 배선 및 접촉층 패턴의 나머지 부분과 약간 다르다. 즉, 박막 트랜지스터의 채널부(C)에서 데이터선부(171, 179, 173), 특히 소스 전극(173)과 드레인 전극(175)이 분리되어 있고 데이터선부 중간층(163)과 드레인 전극용 접촉층 패턴(165)도 분리되어 있으나, 박막 트랜지스터용 반도체 패턴(152)은 이곳에서 끊어지지 않고 연결되어 박막 트랜지스터의 채널을 생성한다.

<66> 데이터 배선(171, 173, 175, 179) 및 데이터 배선으로 가리지 않는 반도체층(152) 상부에는 질화 규소 또는 산화 규소로 이루어진 절연막 또는 낮은 유전율을 가지는 유기 물질로 이루어진 유기 절연막 또는 저유전율 CVD막을 포함하는 보호막(180)이 형성되어 있다.

<67> 보호막(180)은 데이터 패드(179) 및 드레인 전극(175)을 드러내는 접촉 구멍(189, 187)을 가지고 있으며, 또한 게이트 절연막(140)과 함께 게이트 패드(125)를 드러내는 접촉 구멍(182)을 가지고 있다.

<68> 보호막(180) 위에는 박막 트랜지스터로부터 화상 신호를 받아 상판의 전극과 함께 전기장을 생성하는 화소 전극(190)이 형성되어 있다. 화소 전극(190)은 ITO 또는 IZO 따위의 투명한 도전 물질, 또는 알루미늄 또는 은 등과 같이 반사도를 가지는 도전 물질로 이루어져 있으며 접촉 구멍(185)을 통하여 드레인 전극(175)과 물리적·전기적으로 연결되어 화상 신호를 전달받는다. 화소 전극(190)은 또한 이웃하는 게이트선(121) 및 데

이터선(171)과 중첩되어 개구율을 높이고 있으나, 중첩되지 않을 수도 있다. 한편, 게이트 패드(125) 및 데이터 패드(179) 위에는 접촉 구멍(182, 189)을 통하여 각각 이들과 연결되는 보조 게이트 패드(92) 및 보조 데이터 패드(97)가 형성되어 있으며, 이들은 패드(125, 179)와 외부 회로 장치와의 접촉성을 보완하고 패드를 보호하는 역할을 하는 것으로 필수적인 것은 아니며, 이들의 적용 여부는 선택적이다.

<69> 그러면, 도 7 내지 도 9의 구조를 가지는 액정 표시 장치용 박막 트랜지스터 어레이 기판을 제조하는 방법에 대하여 상세하게 도 7 내지 도 9와 도 10a 내지 도 16c를 참조하여 설명하기로 한다.

<70> 먼저, 도 10a 내지 10c에 도시한 바와 같이, 알루미늄을 포함하는 도전막을 적층하고 마스크를 이용한 사진 식각 공정으로 패터닝하여 게이트선(121), 게이트 패드(125) 및 게이트 전극(123)을 포함하는 게이트 배선과 유지 전극선(131)을 테이퍼 구조로 형성한다. 여기서, 마스크를 이용한 사진 식각 공정에서 마스크의 크기보다 박막 트랜지스터 어레이 기판의 화소 영역이 배치되어 있는 액티브 영역이 큰 경우에 액티브 영역을 분할하여 스텝 앤 리피트(step and repeat) 방식으로 감광막을 분할 노광하고 현상하여 게이트 배선용 감광막 패턴을 형성하고 이를 식각 마스크로 사용하여 게이트 배선(121, 123, 125, 131)을 패터닝한다. 이때, 게이트 배선용 감광막 패턴을 노광할 때, 분할 노광 영역의 경계선은 가로 방향으로 배치되어 있는 제1 게이트 전극부(1231)와 제2 게이트 전극부(1232) 사이를 가로지르도록 하여 세로 방향이 되도록 마스크를 정렬한 다음 노광 공정을 진행한다.

<71> 다음, 도 11a 및 11b에 도시한 바와 같이, 질화 규소로 이루어진 게이트 절연막(140), 도핑되지 않은 비정질 규소의 반도체층(150), 도핑된 비정질 규소의 중간층(160)

을 화학 기상 증착법을 이용하여 각각 1,500 Å 내지 5,000 Å, 500 Å 내지 2,000 Å, 1400 Å 내지 600 Å의 두께로 연속 증착한다. 이때에도 게이트 배선(121, 123, 125) 및 유지 배선(131, 133)의 알루미늄 도전막이 손상되는 것을 방지하기 위해 삼층막(140, 150, 160)은 150-300℃의 범위에서 적층하고, 증착 조건 또한 제1 실시예와 동일하게 적용하는 바람직하다. 이어, 몰리브덴 또는 몰리브덴 합금으로 이루어진 도전 물질 또는 알루미늄만으로 이루어진 도전 물질의 도전체층(170)을 스퍼터링 등의 방법으로 1,500 Å 내지 3,000 Å의 두께로 증착한 다음 그 위에 감광막(210)을 1 μm 내지 2 μm의 두께로 도포한다.

<72> 그 후, 마스크를 통하여 감광막(210)에 빛을 조사한 후 현상하여 도 12b 및 12c에 도시한 바와 같이, 감광막 패턴(212, 214)을 형성한다. 이때, 감광막 패턴(212, 214) 중에서 박막 트랜지스터의 채널부(C), 즉 소스 전극(173)과 드레인 전극(175) 사이에 위치한 제1 부분(214)은 데이터 배선부(A), 즉 데이터 배선(171, 173, 175, 177, 179)이 형성될 부분에 위치한 제2 부분(212)보다 두께가 작게 되도록 하며, 기타 부분(B)의 감광막은 모두 제거한다. 이때에도 감광막 패턴(212, 214)을 형성할 때 분할 노광을 이용한 사진 식각 공정을 실시하여 형성하는데, 분할 노광 영역의 경계선은 제1 박막 트랜지스터와 제2 박막 트랜지스터 사이에 위치하도록 마스크를 정렬한 다음 분할 노광을 실시한다. 여기서, 채널부(C)에 남아 있는 감광막(214)의 두께와 데이터 배선부(A)에 남아 있는 감광막(212)의 두께의 비는 후에 후술할 식각 공정에서의 공정 조건에 따라 다르게 하여야 하되, 제1 부분(214)의 두께를 제2 부분(212)의 두께의 1/2 이하로 하는 것이 바람직하며, 예를 들면, 4,000 Å 이하인 것이 좋다.

- <73> 이와 같이, 위치에 따라 감광막의 두께를 달리하는 방법으로 여러 가지가 있을 수 있으며, A 영역의 빛 투과량을 조절하기 위하여 주로 슬릿(slit)이나 격자 형태의 패턴을 형성하거나 반투명막을 사용한다.
- <74> 이때, 슬릿 사이에 위치한 패턴의 선 폭이나 패턴 사이의 간격, 즉 슬릿의 폭은 노광시 사용하는 노광기의 분해능보다 작은 것이 바람직하며, 반투명막을 이용하는 경우에는 마스크를 제작할 때 투과율을 조절하기 위하여 다른 투과율을 가지는 박막을 이용하거나 두께가 다른 박막을 이용할 수 있다.
- <75> 이와 같은 마스크를 통하여 감광막에 빛을 조사하면 빛에 직접 노출되는 부분에서는 고분자들이 완전히 분해되며, 슬릿 패턴이나 반투명막이 형성되어 있는 부분에서는 빛의 조사량이 적으므로 고분자들은 완전 분해되지 않은 상태이며, 차광막으로 가려진 부분에서는 고분자가 거의 분해되지 않는다. 이어 감광막을 현상하면, 고분자 분자들이 분해되지 않은 부분만이 남고, 빛이 적게 조사된 중앙 부분에는 빛에 전혀 조사되지 않은 부분보다 얇은 두께의 감광막이 남길 수 있다. 이때, 노광 시간을 길게 하면 모든 분자들이 분해되므로 그렇게 되지 않도록 해야 한다.
- <76> 이러한 얇은 두께의 감광막(214)은 리플로우가 가능한 물질로 이루어진 감광막을 이용하고 빛이 완전히 투과할 수 있는 부분과 빛이 완전히 투과할 수 없는 부분으로 나뉘어진 통상적인 마스크로 노광한 다음 현상하고 리플로우시켜 감광막이 잔류하지 않는 부분으로 감광막의 일부를 흘러내리도록 함으로써 형성할 수도 있다.
- <77> 이어, 감광막 패턴(214) 및 그 하부의 막들, 즉 도전체층(170), 중간층(160) 및 반도체층(150)에 대한 식각을 진행한다. 이때, 데이터 배선부(A)에는 데이터 배선 및 그 하부의 막들이 그대로 남아 있고, 채널부(C)에는 반도체층만 남아 있어야 하며, 나머지

부분(B)에는 위의 3개 층(170, 160, 150)이 모두 제거되어 게이트 절연막(140)이 드러나야 한다.

<78> 먼저, 도 13a 및 13b에 도시한 것처럼, 기타 부분(B)의 노출되어 있는 도전체층(170)을 제거하여 그 하부의 중간층(160)을 노출시킨다. 이 과정에서는 건식 식각 또는 습식 식각 방법을 사용할 수 있으며, 이때 도전체층(170)은 식각되고 감광막 패턴(212, 214)은 거의 식각되지 않는 조건하에서 행하는 것이 좋다. 그러나, 건식 식각의 경우 도전체층(170)만을 식각하고 감광막 패턴(212, 214)은 식각되지 않는 조건을 찾기가 어려우므로 감광막 패턴(212, 214)도 함께 식각되는 조건하에서 행할 수 있다. 이 경우에는 습식 식각의 경우보다 제1 부분(214)의 두께를 두껍게 하여 이 과정에서 제1 부분(214)이 제거되어 하부의 도전체층(170)이 드러나는 일이 생기지 않도록 한다.

<79> 이렇게 하면, 도 13a 및 도 13b에 나타난 것처럼, 채널부(C) 및 데이터 배선부(A)의 도전체층, 즉 소스/드레인용 도전체 패턴(178)만이 남고 기타 부분(B)의 도전체층(170)은 모두 제거되어 그 하부의 중간층(160)이 드러난다. 이때 남은 도전체 패턴(178)은 소스 및 드레인 전극(173, 175)이 분리되지 않고 연결되어 있는 점을 제외하면 데이터 배선(171, 173, 175, 179)의 형태와 동일하다. 또한 건식 식각을 사용한 경우 감광막 패턴(212, 214)도 어느 정도의 두께로 식각된다.

<80> 이어, 도 14a 및 14b에 도시한 바와 같이, 기타 부분(B)의 노출된 중간층(160) 및 그 하부의 반도체층(150)을 감광막의 제1 부분(214)과 함께 건식 식각 방법으로 동시에 제거한다. 이 때의 식각은 감광막 패턴(212, 214)과 중간층(160) 및 반도체층(150)(반도체층과 중간층은 식각 선택성이 거의 없음)이 동시에 식각되며 게이트 절연막(140)은 식각되지 않는 조건하에서 행하여야 하며, 특히 감광막 패턴(212, 214)과 반도체층(150)

에 대한 식각비가 거의 동일한 조건으로 식각하는 것이 바람직하다. 예를 들어, SF_6 과 HCl 의 혼합 기체나, SF_6 과 O_2 의 혼합 기체를 사용하면 거의 동일한 두께로 두 막을 식각할 수 있다. 감광막 패턴(212, 214)과 반도체층(150)에 대한 식각비가 동일한 경우 제1 부분(214)의 두께는 반도체층(150)과 중간층(160)의 두께를 합한 것과 같거나 그보다 작아야 한다.

<81> 이렇게 하면, 도 14a 및 14b에 나타낸 바와 같이, 채널부(C)의 제1 부분(214)이 제거되어 소스/드레인용 도전체 패턴(178)이 드러나고, 기타 부분(B)의 중간층(160) 및 반도체층(150)이 제거되어 그 하부의 게이트 절연막(140)이 드러난다. 한편, 데이터 배선부(A)의 제2 부분(212) 역시 식각되므로 두께가 얇아진다. 또한, 이 단계에서 반도체 패턴(152)이 완성된다. 도면 부호 168은 각각 소스/드레인용 도전체 패턴(178) 하부의 중간층 패턴을 가리킨다.

<82> 이어 애싱(ashing)을 통하여 채널부(C)의 소스/드레인용 도전체 패턴(178) 표면에 남아 있는 감광막 찌꺼기를 제거한다.

<83> 다음, 도 15a 및 15b에 도시한 바와 같이 채널부(C)의 소스/드레인용 도전체 패턴(178) 및 그 하부의 소스/드레인용 중간층 패턴(168)을 식각하여 제거한다. 이 때, 식각은 소스/드레인용 도전체 패턴(178)과 중간층 패턴(168) 모두에 대하여 건식 식각만으로 진행할 수도 있으며, 소스/드레인용 도전체 패턴(178)에 대해서는 식각액을 이용하는 습식 식각으로, 중간층 패턴(168)에 대해서는 건식 식각으로 행할 수도 있다. 전자의 경우 소스/드레인용 도전체 패턴(178)과 중간층 패턴(168)의 식각 선택비가 큰 조건하에서 식각을 행하는 것이 바람직하며, 이는 식각 선택비가 크지 않을 경우 식각 종점을 찾기가 어려워 채널부(C)에 남는 반도체 패턴(152)의 두께를 조절하기가 쉽지 않기 때문이

다. 중간층 패턴(168) 및 반도체 패턴(152)을 식각할 때 사용하는 식각 기체의 예로는 앞에서 언급한 CF_4 와 HCl 의 혼합 기체나 CF_4 와 O_2 의 혼합 기체를 들 수 있으며, CF_4 와 O_2 를 사용하면 균일한 두께로 반도체 패턴(152)을 남길 수 있다. 이때, 도 15b에 도시한 것처럼 반도체 패턴(152)의 일부가 제거되어 두께가 작아질 수도 있으며 감광막 패턴의 제2 부분(212)도 이때 어느 정도의 두께로 식각된다. 이때의 식각은 게이트 절연막(140)이 식각되지 않는 조건으로 행하여야 하며, 제2 부분(212)이 식각되어 그 하부의 데이터 배선(171, 173, 175, 179)이 드러나는 일이 없도록 감광막 패턴이 두꺼운 것이 바람직함은 물론이다.

<84> 이렇게 하면, 도 12a에서 보는 바와 같이 소스 전극(173)과 드레인 전극(175)이 분리되면서 데이터 배선(171, 173, 175, 177, 179)과 그 하부의 접촉층 패턴(163, 165, 167)이 완성된다.

<85> 마지막으로 데이터 배선부(A)에 남아 있는 감광막 제2 부분(212)을 제거한다. 그러나, 제2 부분(212)의 제거는 채널부(C) 소스/드레인용 도전체 패턴(178)을 제거한 후 그 밑의 중간층 패턴(168)을 제거하기 전에 이루어질 수도 있다.

<86> 앞에서 설명한 것처럼, 습식 식각과 건식 식각을 교대로 하거나 건식 식각만을 사용할 수 있다. 후자의 경우에는 한 종류의 식각만을 사용하므로 공정이 비교적 간편하지만, 알맞은 식각 조건을 찾기가 어렵다. 반면, 전자의 경우에는 식각 조건을 찾기가 비교적 쉬우나 공정이 후자에 비하여 번거로운 점이 있다.

<87> 이와 같이 하여 데이터 배선(171, 173, 175, 177, 179)을 형성한 후, 도 16a 내지 16c에 도시한 바와 같이 제1 실시예와 같은 절연 물질을 적층하여

보호막(180)을 형성하고, 마스크를 이용하여 보호막(180)을 게이트 절연막(140)과 함께 식각하여 게이트 패드(125), 데이터 패드(179) 및 드레인 전극(175)을 각각 드러내는 접촉 구멍(182, 189, 185)을 형성한다.

<88> 이어, 도 7 내지 도 9에 도시한 바와 같이, 500 Å 내지 1,000 Å 두께의 ITO 또는 IZO를 증착하고 마스크를 사용하여 습식 식각하여 드레인 전극(175) 및 유지 축전기용 도전체 패턴(177)과 연결된 화소 전극(190), 게이트 패드(125)와 연결된 보조 게이트 패드(92) 및 데이터 패드(179)와 연결된 보조 데이터 패드(97)를 형성한다. 이때에도 앞에서 설명한 바와 같이 게이트 배선을 형성할 때와 마찬가지로 분할 노광 영역의 경계선은 제1 박막 트랜지스터(TFT1)와 제2 박막 트랜지스터(TFT2) 사이에 위치하도록 마스크를 정렬한 다음 감광막을 분할 노광 및 현상하여 화소 전극용 감광막 패턴을 형성하고 이후의 식각 공정을 진행한다.

<89> 이러한 본 발명의 제2 실시예에서는 제1 실시예에 따른 효과뿐만 아니라 데이터 배선(171, 173, 175, 179)과 그 하부의 접촉층 패턴(163, 165, 167) 및 반도체 패턴(152, 157)을 하나의 마스크를 이용하여 형성하고 이 과정에서 소스 전극(173)과 드레인 전극(175)이 분리하여 제조 공정을 단순화할 수 있다.

<90> 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

【발명의 효과】

<91> 이와 같이, 본 발명에서는 각각의 단위 화소를 적어도 두 개의 박막 트랜지스터를 이용하여 구동함으로써 박막 트랜지스터의 채널 폭을 넓게 확보할 수 있어, 박막 트랜지스터는 화소를 제어하는 전류 구동 능력을 충분히 가질 수 있으며, 이를 통하여 대형의 액정 표시 장치를 구동할 때 화소의 해상도가 저하되는 것을 방지할 수 있다. 또한, 적어도 두 개의 박막 트랜지스터를 표시 영역 중에서 분할 노광의 경계선이 위치하는 화소와 그 주변에 위치하는 화소에 배치함으로써 마스크를 이용한 사진 식각 공정에서 분할 노광시 마스크의 전이(shift), 회전(rotation), 비틀림(distortion) 등의 오차가 발생하더라도 화상이 표시될 때 밝기의 차이가 심하게 나타나는 것을 최소화하여 스티치 현상을 방지할 수 있다.

【특허청구범위】**【청구항 1】**

절연 기판,

상기 절연 기판 위에 형성되어 있으며, 게이트선, 상기 게이트선과 연결되어 있으며, 제1 게이트 전극부 및 제2 게이트 전극부를 가지는 게이트 전극을 포함하는 게이트 배선,

상기 게이트 배선을 덮는 게이트 절연막,

상기 게이트 절연막 상부에 형성되어 있는 상기 제1 게이트 전극부 위에 위치하는 제1 반도체부와 상기 제2 게이트 전극부 위에 위치하는 제2 반도체부를 가지는 반도체층

상기 반도체층 상부에 형성되어 있으며, 상기 게이트선과 교차하는 데이터선, 상기 데이터선에 연결되어 있으며 상기 제1 반도체부에 인접한 제1 소스 전극부와 상기 제2 반도체부에 인접한 제2 소스 전극부를 포함하는 소스 전극, 상기 제1 게이트 전극부를 중심으로 상기 제1 소스 전극부와 마주하며 상기 제1 반도체부에 인접한 제1 드레인 전극부와 상기 제2 게이트 전극부를 중심으로 상기 제2 드레인 전극부와 마주하며 상기 제2 반도체부에 인접한 제2 드레인 전극부를 포함하는 드레인 전극을 포함하는 데이터 배선,

상기 드레인 전극과 연결되어 있는 화소 전극을 포함하는 박막 트랜지스터 어레이 기판.

【청구항 2】

제1항에서,

상기 제1 게이트 전극부, 상기 제1 반도체부, 상기 제1 소스 전극부 및 상기 제1 드레인 전극부와 상기 제2 게이트 전극부, 상기 제2 반도체부, 상기 제2 소스 전극부 및 상기 제2 드레인 전극부는 각각 분할 노광 영역의 경계선을 중심으로 양쪽에 배치되어 있는 박막 트랜지스터 어레이 기판.

【청구항 3】

제2항에서,

상기 게이트 전극, 상기 드레인 전극, 상기 소스 전극 및 상기 반도체층을 포함하는 박막 트랜지스터는 일부의 화소에만 배치되어 있는 박막 트랜지스터 어레이 기판.

【청구항 4】

제1항에서,

상기 제1 및 제2 소스 전극과, 상기 제1 및 제2 드레인 전극 사이에 각각 위치하는 상기 제1 및 제2 반도체부의 채널부는 C자 모양을 가지는 박막 트랜지스터 어레이 기판

【청구항 5】

제1항에서,

상기 소스 전극과 상기 드레인 전극 사이의 채널부를 제외한 상기 반도체층은 상기 데이터 배선과 동일한 패턴을 가지는 박막 트랜지스터 어레이 기판.

【청구항 6】

기판 위에 게이트선 및 제1 게이트 전극부와 제2 게이트 전극부를 포함하는 게이트 전극을 포함하는 게이트 배선을 형성하는 단계,

상기 기판 위에 게이트 절연막을 적층하는 단계,

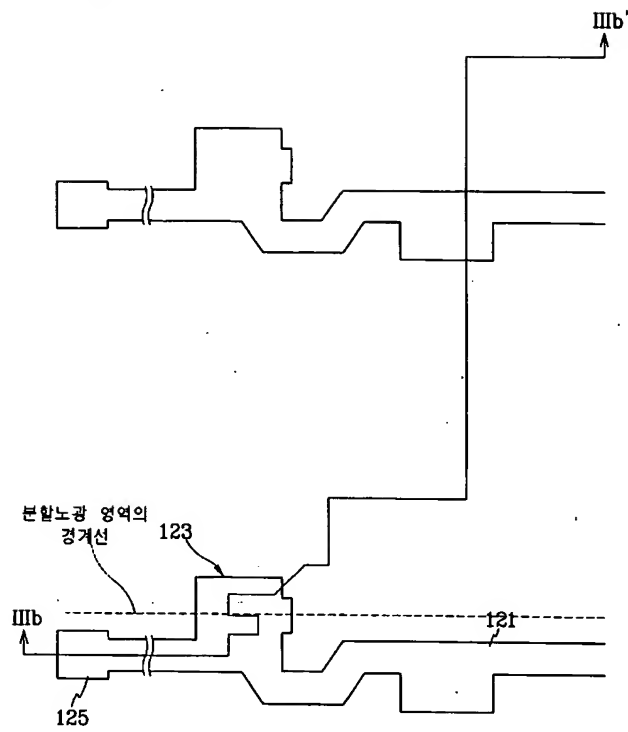
상기 게이트 절연막 상부에 비정질 규소로 제1 반도체부와 제2 반도체부를 포함하는 반도체층을 형성하는 단계,

데이터선, 제1 소스 전극부와 제2 소스 전극부를 포함하는 소스 전극 및 제1 드레인 전극부와 제2 드레인 전극부를 포함하는 드레인 전극을 포함하는 데이터 배선을 형성하는 단계,

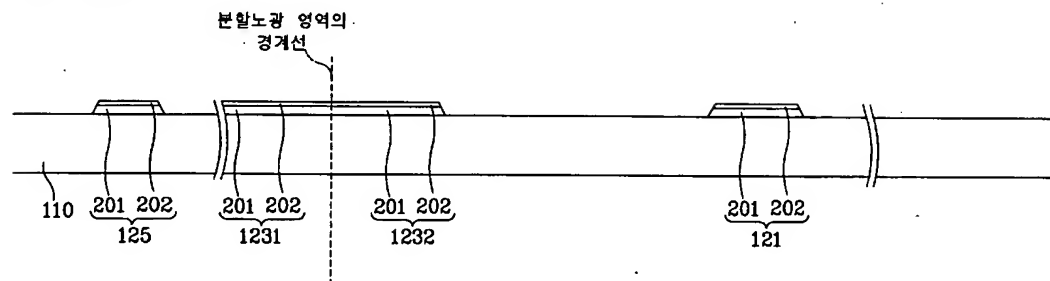
상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계를 포함하는 박막 트랜지스터 어레이 기판의 제조 방법에 있어서,

상기 게이트 배선, 상기 데이터 배선 또는 상기 반도체층은 분할 노광을 이용한 사진 식각 공정으로 형성하며, 상기 분할 노광은 분할 노광 영역의 경계선이 상기 제1 게이트 전극부와 제2 게이트 전극부 사이, 또는 상기 제1 반도체부와 상기 제2 반도체부 사이, 또는 상기 제1 소스 전극과 상기 제2 소스 전극 사이, 또는 상기 제1 드레인 전극과 상기 제2 드레인 전극 사이에 위치하도록 실시하는 박막 트랜지스터 어레이 기판의 제조 방법.

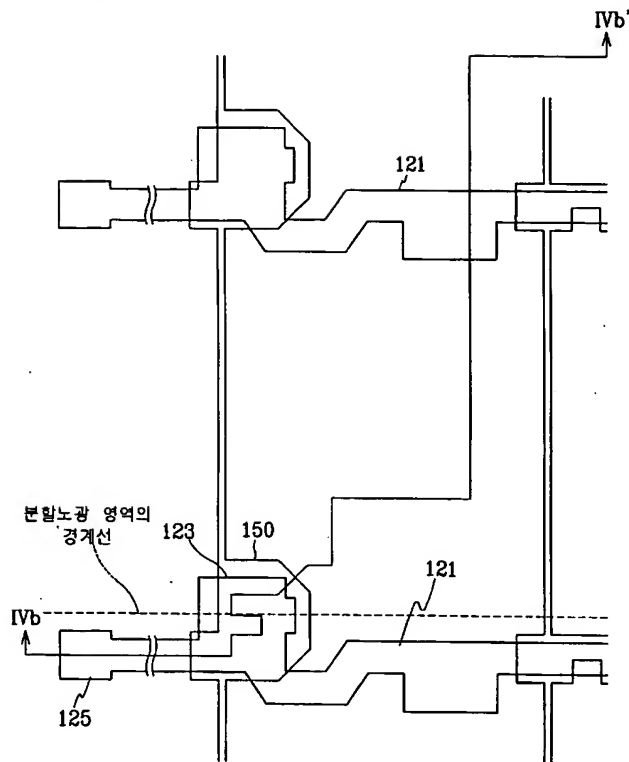
【도 3a】



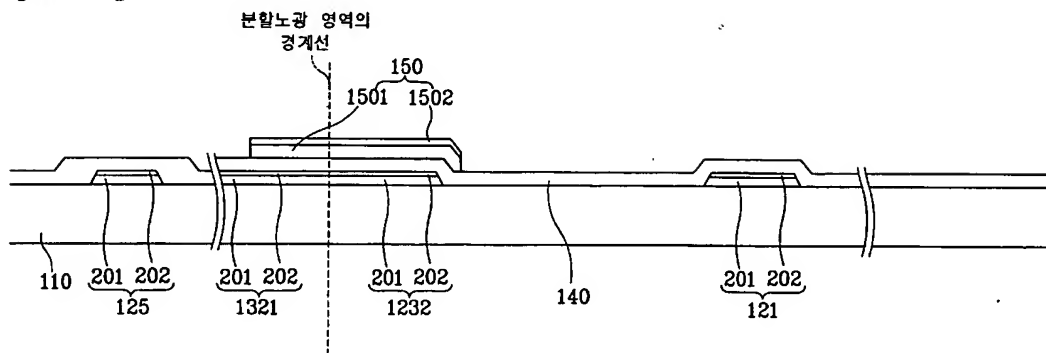
【도 3b】



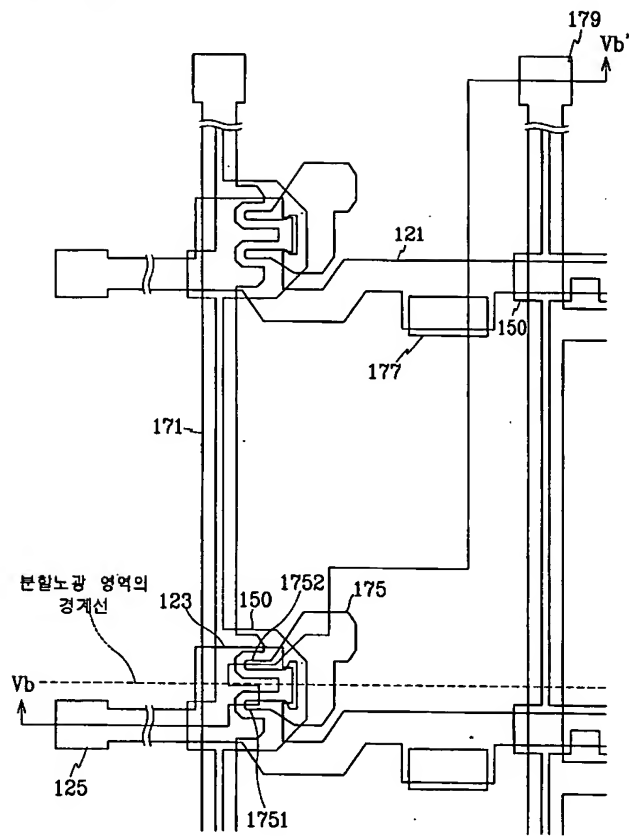
【도 4a】



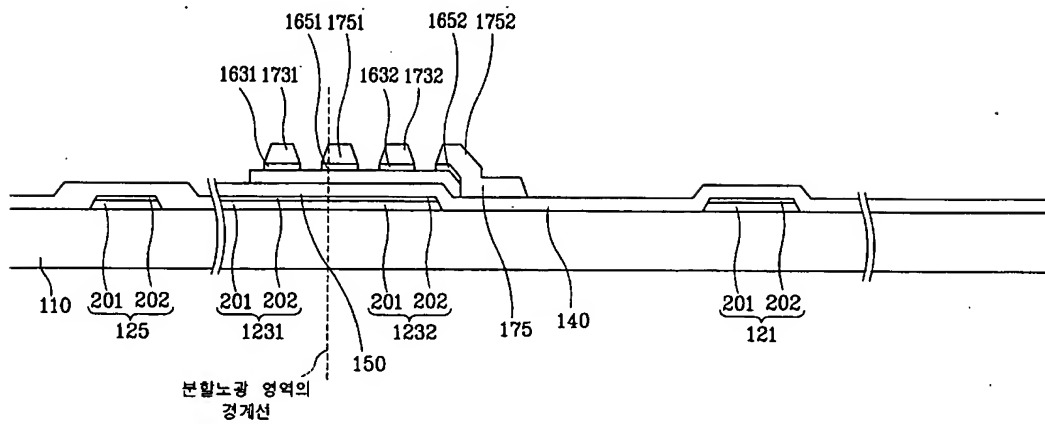
【도 4b】



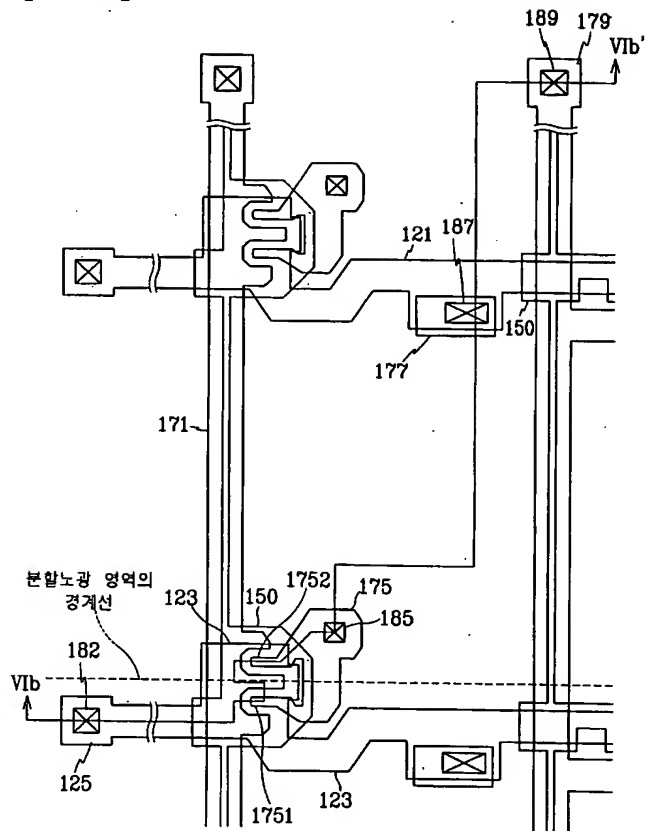
【도 5a】



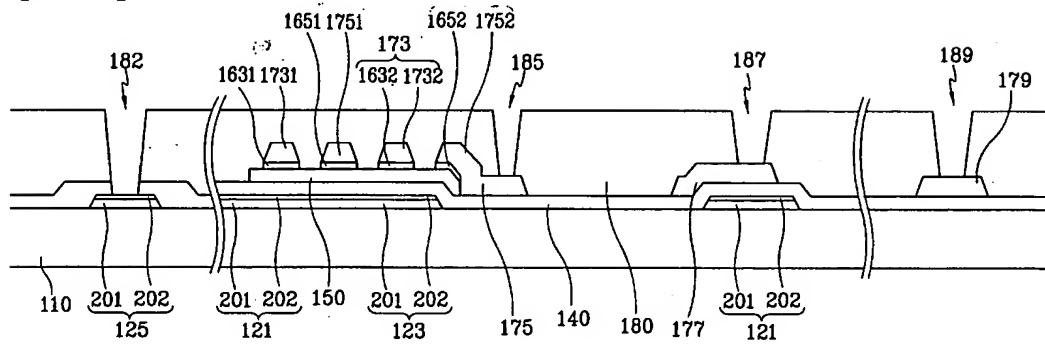
【도 5b】



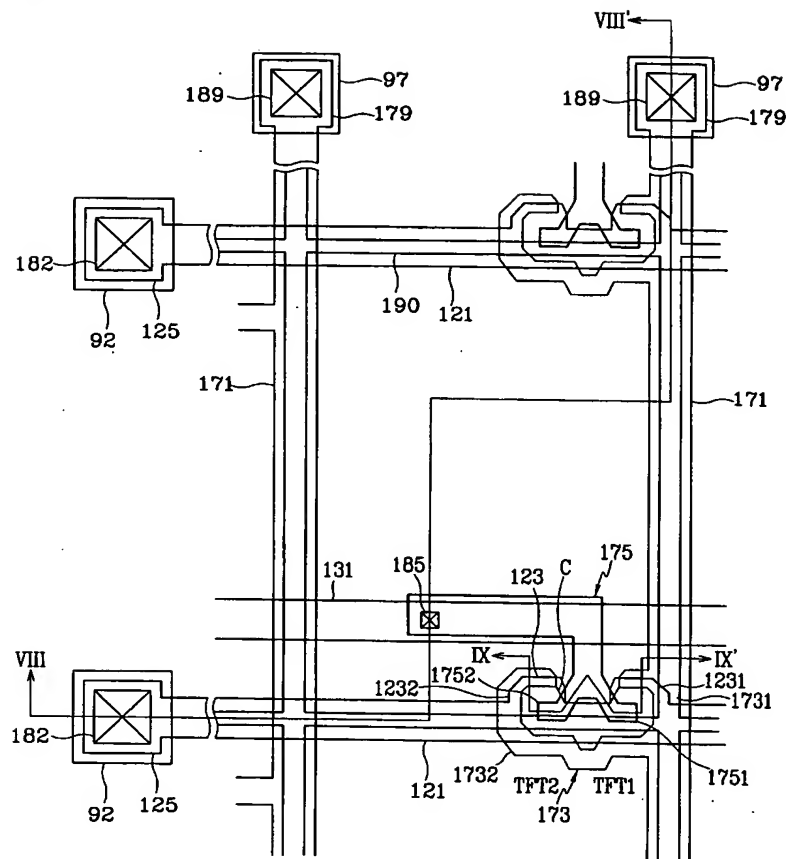
【도 6a】



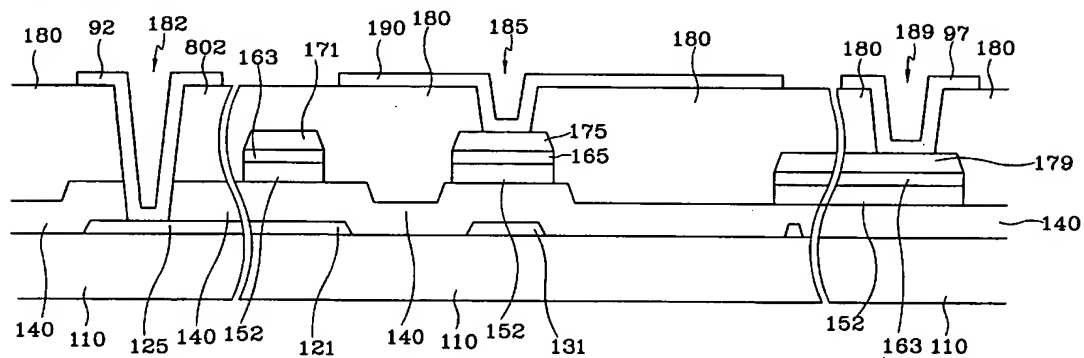
【도 6b】



【도 7】



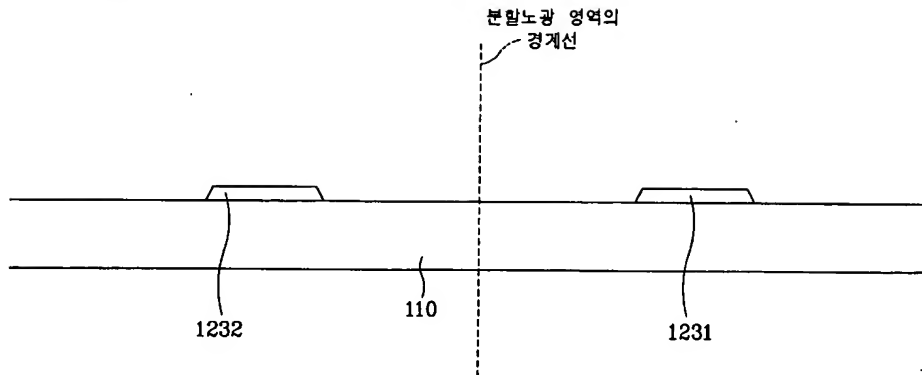
【도 8】



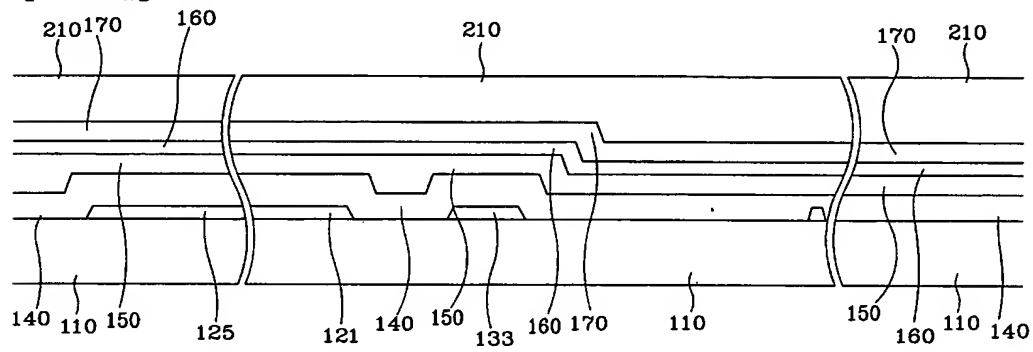
This cross-sectional view shows a semiconductor device with a substrate 140. A series of layers are deposited on the substrate, including a layer 152. On top of layer 152, there are several regions: 1231, 1232, 1233, 1234, 1235, 1236, 1237, 1238, 1239, 1240, 1241, 1242, 1243, 1244, 1245, 1246, 1247, 1248, 1249, 1250, 1251, 1252, 1253, 1254, 1255, 1256, 1257, 1258, 1259, 1260, 1261, 1262, 1263, 1264, 1265, 1266, 1267, 1268, 1269, 1270, 1271, 1272, 1273, 1274, 1275, 1276, 1277, 1278, 1279, 1280, 1281, 1282, 1283, 1284, 1285, 1286, 1287, 1288, 1289, 1290, 1291, 1292, 1293, 1294, 1295, 1296, 1297, 1298, 1299, 1300. The device also includes a layer 151, a layer 163, a layer 165, and a layer 173. The regions 1231, 1232, 1233, 1234, 1235, 1236, 1237, 1238, 1239, 1240, 1241, 1242, 1243, 1244, 1245, 1246, 1247, 1248, 1249, 1250, 1251, 1252, 1253, 1254, 1255, 1256, 1257, 1258, 1259, 1260, 1261, 1262, 1263, 1264, 1265, 1266, 1267, 1268, 1269, 1270, 1271, 1272, 1273, 1274, 1275, 1276, 1277, 1278, 1279, 1280, 1281, 1282, 1283, 1284, 1285, 1286, 1287, 1288, 1289, 1290, 1291, 1292, 1293, 1294, 1295, 1296, 1297, 1298, 1299, 1300 are defined by the layers 151, 163, 165, and 173. The regions 1231, 1232, 1233, 1234, 1235, 1236, 1237, 1238, 1239, 1240, 1241, 1242, 1243, 1244, 1245, 1246, 1247, 1248, 1249, 1250, 1251, 1252, 1253, 1254, 1255, 1256, 1257, 1258, 1259, 1260, 1261, 1262, 1263, 1264, 1265, 1266, 1267, 1268, 1269, 1270, 1271, 1272, 1273, 1274, 1275, 1276, 1277, 1278, 1279, 1280, 1281, 1282, 1283, 1284, 1285, 1286, 1287, 1288, 1289, 1290, 1291, 1292, 1293, 1294, 1295, 1296, 1297, 1298, 1299, 1300 are defined by the layers 151, 163, 165, and 173. The regions 1231, 1232, 1233, 1234, 1235, 1236, 1237, 1238, 1239, 1240, 1241, 1242, 1243, 1244, 1245, 1246, 1247, 1248, 1249, 1250, 1251, 1252, 1253, 1254, 1255, 1256, 1257, 1258, 1259, 1260, 1261, 1262, 1263, 1264, 1265, 1266, 1267, 1268, 1269, 1270, 1271, 1272, 1273, 1274, 1275, 1276, 1277, 1278, 1279, 1280, 1281, 1282, 1283, 1284, 1285, 1286, 1287, 1288, 1289, 1290, 1291, 1292, 1293, 1294, 1295, 1296, 1297, 1298, 1299, 1300 are defined by the layers 151, 163, 165, and 173.

A cross-sectional view of a segmented strip. The strip consists of several segments separated by joints. The segments are labeled with reference numerals: 110, 125, 121, 133, 110, 121, and 110. The segments 125, 121, and 133 are shown with a top layer and a bottom layer, while segments 110 are shown as single-layered. The joints are indicated by wavy lines.

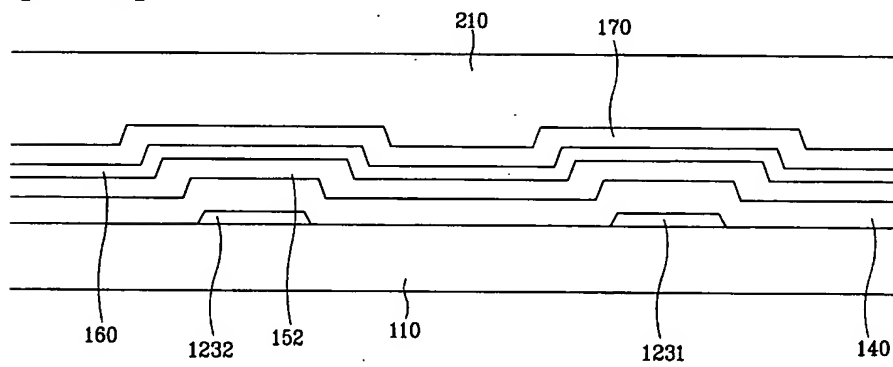
【도 10c】



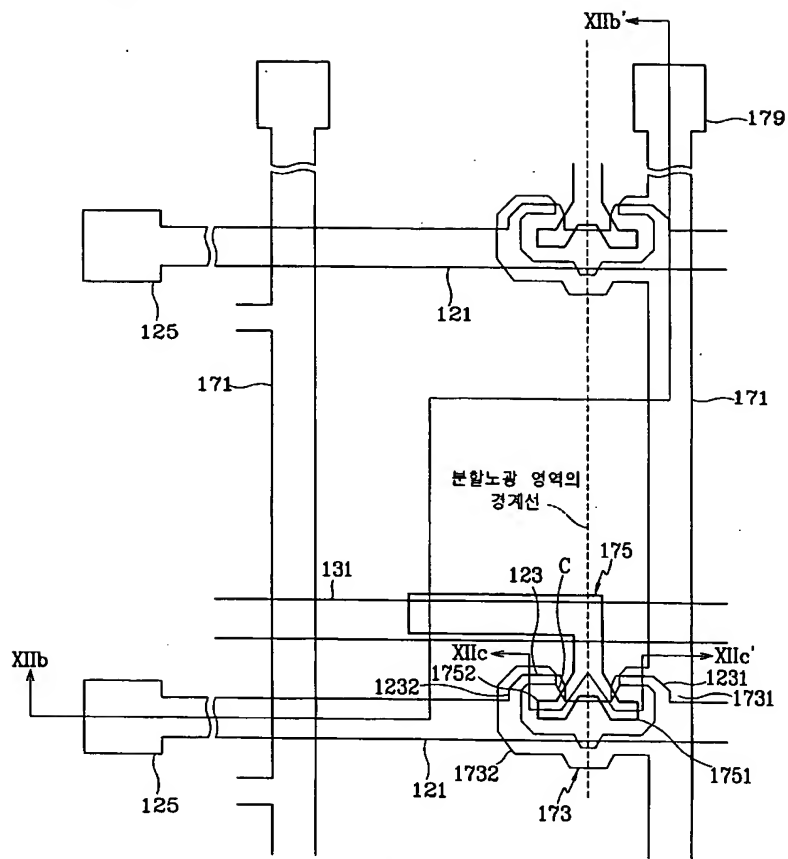
【도 11a】



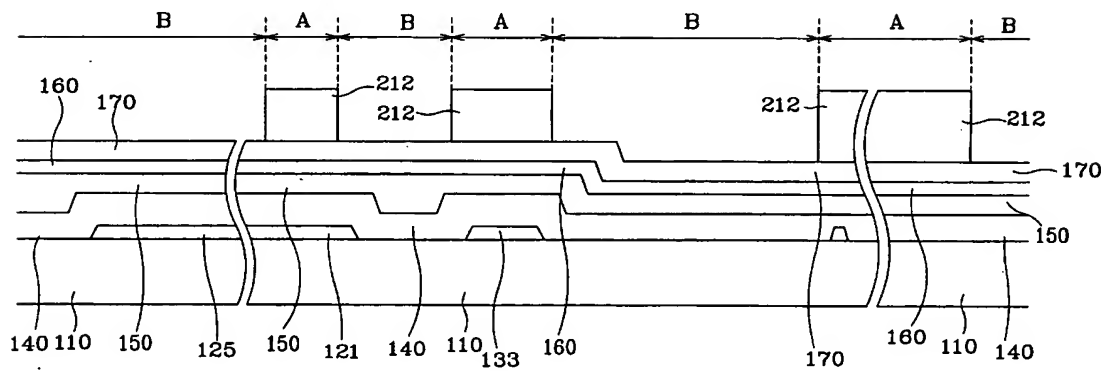
【도 11b】



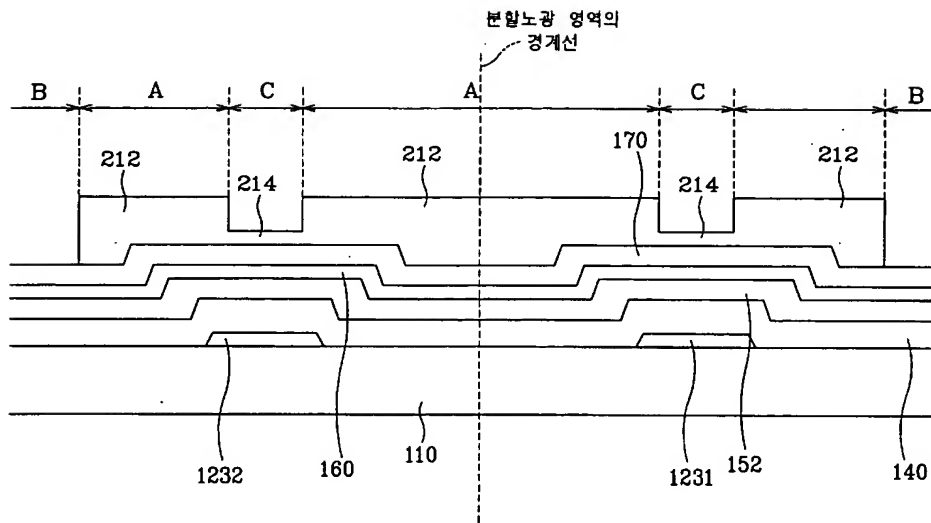
【도 12a】



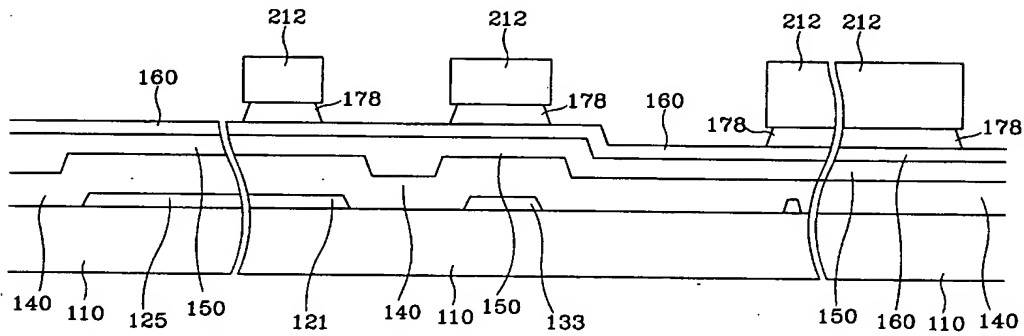
【도 12b】



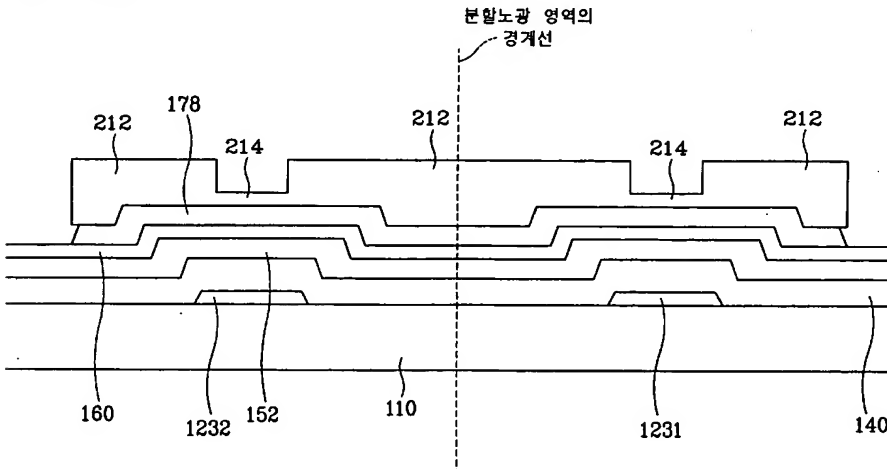
【도 12c】



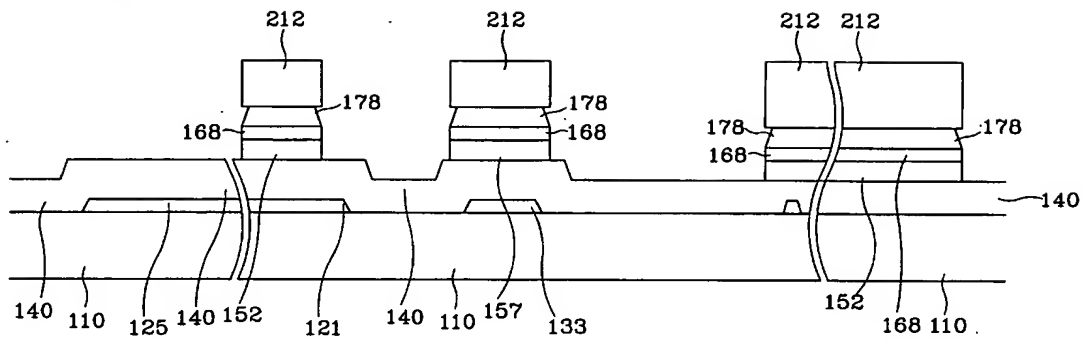
【도 13a】



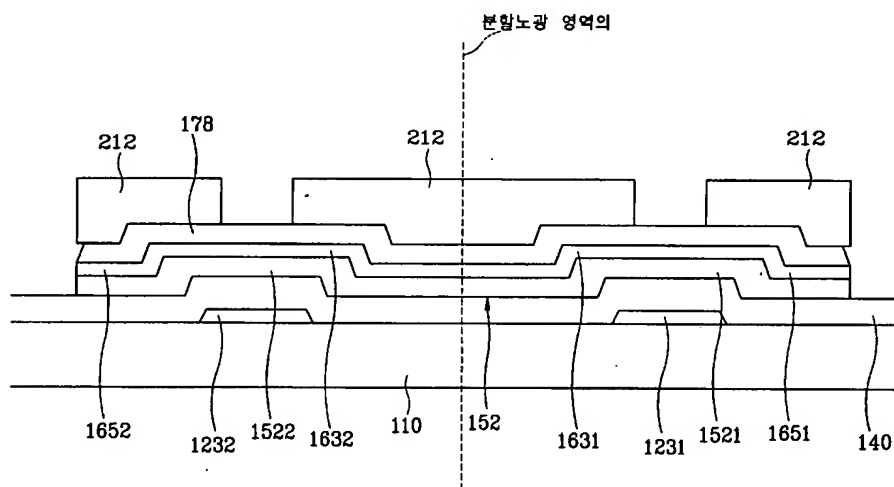
【도 13b】



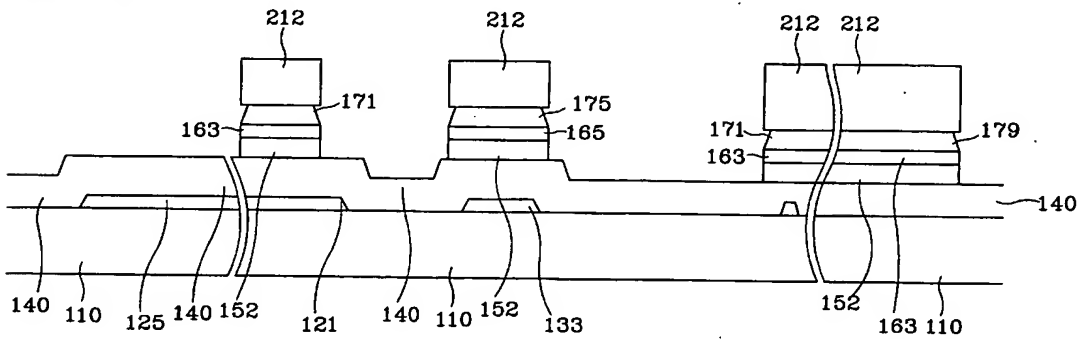
【도 14a】



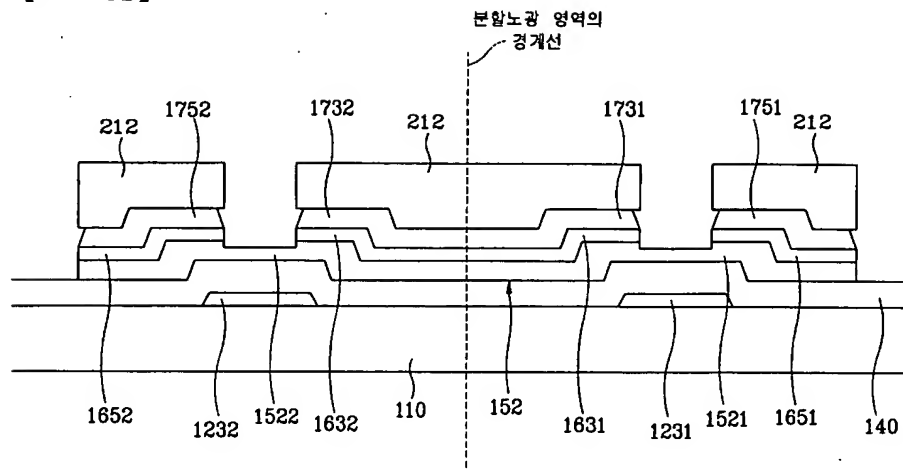
【도 14b】



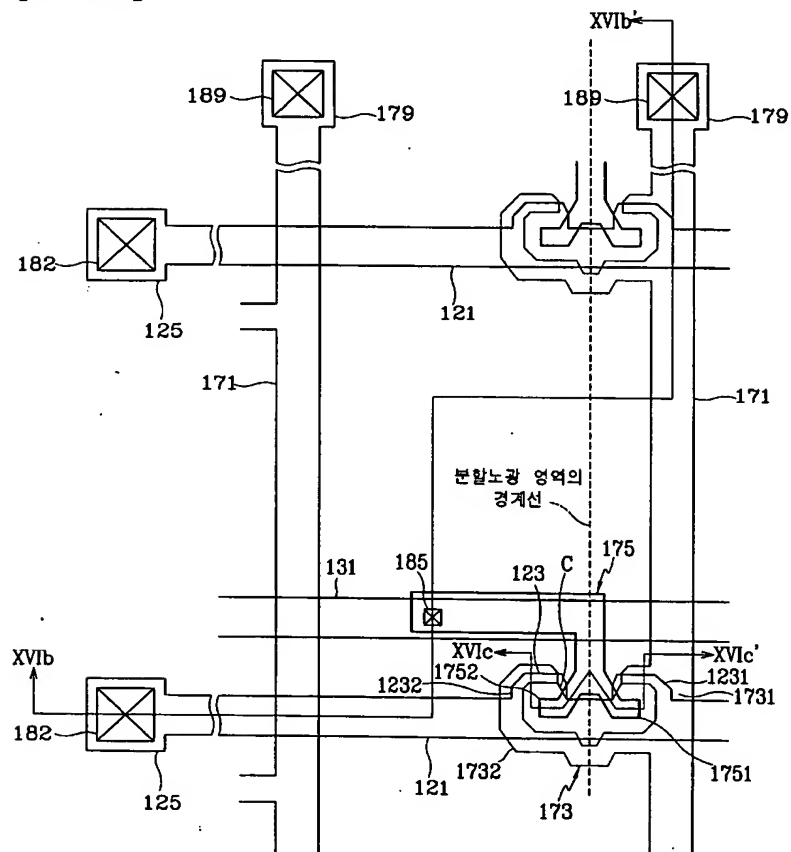
【도 15a】



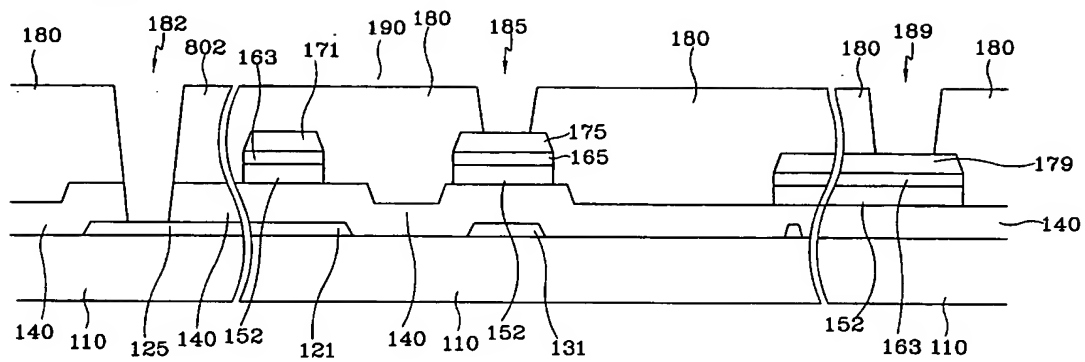
【도 15b】



【도 16a】



【도 16b】



【도 16c】

